

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Katsumi EIKYU

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE WITH AN STI STRUCTURE WHICH IS CAPABLE OF SUPPRESSING  
INVERSE NARROW CHANNEL EFFECT, AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-116003	April 21, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2003年 4月21日

出願番号  
Application Number:

特願2003-116003

[ST.10/C]:

[JP2003-116003]

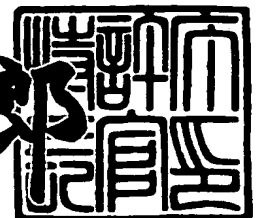
出願人  
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月12日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046081

【書類名】 特許願

【整理番号】 543995JP01

【提出日】 平成15年 4月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

【氏名】 永久 克己

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面から所定の深さで選択的に形成されるトレンチと、

前記トレンチ内に埋め込まれて形成される分離絶縁膜とを備え、前記分離絶縁膜により分離された前記半導体基板の上層部が絶縁ゲート型の所定のトランジスタのトランジスタ形成領域として規定され、

前記トレンチ側面に沿って前記トランジスタ形成領域に形成される第 1 の半導体層と、

前記第 1 の半導体層内の前記トレンチ側面側に形成される第 2 の半導体層とをさらに備え、

前記第 2 の半導体層は前記所定のトランジスタのチャネル領域と同一の導電型の所定の不純物を含み、前記第 1 の半導体層は熱処理に伴う前記所定の不純物の拡散を抑制する性質を有することを特徴とする、

半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、

前記第 1 の半導体層は SiGe 層を含み、

前記所定の不純物は B（ボロン）を含み、

前記第 2 の半導体層は B を含有した SiGe 層である B 含有 SiGe 層を含む、  
半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、

前記第 1 の半導体層は SiGe 層を含み、

前記所定の不純物は In（インジウム）を含み、

前記第 2 の半導体層は In を含有した SiGe 層である In 含有 SiGe 層を含む、  
半導体装置。

【請求項 4】 (a) 半導体基板の表面から所定の深さで選択的にトレンチを形成するステップと、

(b) 前記半導体基板の前記トレンチ側面から第 1 の不純物を注入し、第 1 の不

純物注入領域を前記半導体基板の前記トレンチ側面に沿って形成するステップと

(c) 前記半導体基板の前記トレンチ側面から第 2 の不純物を注入し、前記第 1 の不純物注入領域内に収まるように第 2 の不純物注入領域を形成するステップと

(d) 前記ステップ(b) , (c) 後に熱処理を行い、前記第 1 及び第 2 の不純物領域内の前記第 1 及び第 2 の不純物を拡散させることにより、前記トレンチ側面に沿って前記半導体基板に第 1 及び第 2 の半導体層を得るステップと、

(e) 前記トレンチ内に分離絶縁膜を形成するステップとを備え、前記分離絶縁膜により分離された前記半導体基板の上層部が絶縁ゲート型の所定のトランジスタのトランジスタ形成領域として規定され、

(f) 前記トランジスタ形成領域に前記所定のトランジスタを形成するステップをさらに備え、

前記第 2 の不純物は、前記所定のトランジスタのチャネル領域と同一の導電型の不純物を含み、前記第 1 の半導体層は前記第 2 の不純物の拡散を抑制する性質を有することを特徴とする、  
半導体装置の製造方法。

【請求項 5】 (a) 半導体基板の表面から所定の深さで選択的にトレンチを形成するステップと、

(b) 前記半導体基板の前記トレンチ側面から第 1 の不純物を注入し、前記第 1 の不純物注入領域を前記半導体基板の前記トレンチ側面に沿って形成するステップと、

(c) 前記ステップ(b) 後に熱処理を行い、前記第 1 の不純物領域内の前記第 1 の不純物を拡散させることにより、前記トレンチ側面の前記半導体基板に第 1 の半導体層を得るステップと、

(d) 前記半導体基板の前記トレンチ側面に第 2 の不純物を注入し、第 2 の不純物注入領域を前記第 1 の半導体層内に収まるように形成するステップと、

(e) 前記ステップ(d) 後に熱処理を行い、前記第 2 の不純物領域内の前記第 2 の不純物を拡散させることにより、前記第 1 の半導体層内に第 2 の半導体層を得

るステップと、

(f) 前記トレンチ内に分離絶縁膜を形成するステップとを備え、前記分離絶縁膜により分離された前記半導体基板の上層部が絶縁ゲート型の所定のトランジスタのトランジスタ形成領域として規定され、

(g) 前記トランジスタ形成領域に前記所定のトランジスタを形成するステップをさらに備え、

前記第2の不純物は、前記所定のトランジスタのチャネル領域と同一の導電型の不純物を含み、前記第1の半導体層は前記第2の不純物の拡散を抑制する性質を有することを特徴とする、

半導体装置の製造方法。

【請求項6】 請求項4あるいは請求項5記載の半導体装置の製造方法であって、

前記半導体基板はシリコン基板を含み、

前記第1の不純物はGe（ゲルマニウム）を含み、

前記第2の不純物はBを含み、

前記第1の半導体層はSiGe層を含み、

前記第2の半導体層はBを含有したSiGe層であるB含有SiGe層を含む、

半導体装置の製造方法。

【請求項7】 請求項4あるいは請求項5記載の半導体装置の製造方法であって、

前記半導体基板はシリコン基板を含み、

前記第1の不純物はGeを含み、

前記第2の不純物はInを含み、

前記第1の半導体層はSiGe層を含み、

前記第2の半導体層はInを含有したSiGe層であるIn含有SiGe層を含む、

半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はシャロートレンチ分離（STI（Shallow Trench Isolation））により半導体素子が素子分離された半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

STIにより素子分離されたMOSFETにおいては、製造プロセスにおけるイオン注入処理工程あるいは熱処理工程によって生じるチャネル領域端部におけるチャネル不純物の損失や、最終的な分離形状に起因するゲート電極からのフリンジ電解によってチャネル領域端部の閾値電圧が低下し、チャネル幅の減少に対して閾値電圧が低下していく逆狭チャネル効果が観測されることがある。

【0003】

この逆狭チャネル効果を抑制するために、分離形状の最適化やイオン注入条件あるいは熱処理条件の最適化が行われている。さらに、逆狭チャネル効果を抑制するために、分離トレンチ形成後、絶縁膜で埋め込む工程の前段階において、活性領域側壁（トレンチ側壁でもある）にチャネル不純物と同導電型の不純物イオンを注入する、いわゆる側壁注入が提案されている。なお、側壁注入に関して例えば特許文献1に開示されている。

【0004】

【特許文献1】

特開平10-4137号公報

【0005】

【発明が解決しようとする課題】

側壁注入において、N型のMOSFETのチャネルドーパントには一般に拡散係数の大きいB（ボロン）が用いられており、Bを側壁注入に用いた場合には、その後の分離あるいはMOSFET形成のための熱処理工程において、Bが拡散して局所濃度が低下し、効果的に逆狭チャネル効果を抑制できないという問題点があった。また、Bの代わりにInを用いることも考えられるが、Inの拡散係数はBの数分の1程度にすぎず、高温の熱処理工程が実行されるとBと同様な問題点が生じてしまう。

【0006】



この発明は上記問題点を解決するためになされたもので、絶縁ゲート型トランジスタの逆狭チャネル効果を効果的に抑制することが可能な S T I 構造の半導体装置及びその製造方法を得ることを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

この発明に係る請求項 1 記載の半導体装置は、半導体基板と、前記半導体基板の表面から所定の深さで選択的に形成されるトレンチと、前記トレンチ内に埋め込まれて形成される分離絶縁膜とを備え、前記分離絶縁膜により分離された前記半導体基板の上層部が絶縁ゲート型の所定のトランジスタのトランジスタ形成領域として規定され、前記トレンチ側面に沿って前記トランジスタ形成領域に形成される第 1 の半導体層と、前記第 1 の半導体層内の前記トレンチ側面側に形成される第 2 の半導体層とをさらに備え、前記第 2 の半導体層は前記所定のトランジスタのチャネル領域と同一の導電型の所定の不純物を含み、前記第 1 の半導体層は熱処理に伴う前記所定の不純物の拡散を抑制する性質を有している。

半導体装置。

【 0 0 0 8 】

この発明に係る請求項 4 記載の半導体装置の製造方法は、(a)半導体基板の表面から所定の深さで選択的にトレンチを形成するステップと、(b)前記半導体基板の前記トレンチ側面から第 1 の不純物を注入し、第 1 の不純物注入領域を前記半導体基板の前記トレンチ側面に沿って形成するステップと、(c)前記半導体基板の前記トレンチ側面から第 2 の不純物を注入し、前記第 1 の不純物注入領域内に収まるように第 2 の不純物注入領域を形成するステップと、(d)前記ステップ(b)、(c)後に熱処理を行い、前記第 1 及び第 2 の不純物領域内の前記第 1 及び第 2 の不純物を拡散させることにより、前記トレンチ側面に沿って前記半導体基板に第 1 及び第 2 の半導体層を得るステップと、(e)前記トレンチ内に分離絶縁膜を形成するステップとを備え、前記分離絶縁膜により分離された前記半導体基板の上層部が絶縁ゲート型の所定のトランジスタのトランジスタ形成領域として規定され、(f)前記トランジスタ形成領域に前記所定のトランジスタを形成するステップをさらに備え、前記第 2 の不純物は、前記所定のトランジスタのチャネル

領域と同一の導電型の不純物を含み、前記第 1 の半導体層は前記第 2 の不純物の拡散を抑制する性質を有している。

#### 【0009】

この発明に係る請求項 5 記載の半導体装置の製造方法は、(a)半導体基板の表面から所定の深さで選択的にトレンチを形成するステップと、(b)前記半導体基板の前記トレンチ側面から第 1 の不純物を注入し、前記第 1 の不純物注入領域を前記半導体基板の前記トレンチ側面に沿って形成するステップと、(c)前記ステップ(b)後に熱処理を行い、前記第 1 の不純物領域内の前記第 1 の不純物を拡散させることにより、前記トレンチ側面の前記半導体基板に第 1 の半導体層を得るステップと、(d)前記半導体基板の前記トレンチ側面に第 2 の不純物を注入し、第 2 の不純物注入領域を前記第 1 の半導体層内に収まるように形成するステップと、(e)前記ステップ(d)後に熱処理を行い、前記第 2 の不純物領域内の前記第 2 の不純物を拡散させることにより、前記第 1 の半導体層内に第 2 の半導体層を得るステップと、(f)前記トレンチ内に分離絶縁膜を形成するステップとを備え、前記分離絶縁膜により分離された前記半導体基板の上層部が絶縁ゲート型の所定のトランジスタのトランジスタ形成領域として規定され、(g)前記トランジスタ形成領域に前記所定のトランジスタを形成するステップをさらに備え、前記第 2 の不純物は、前記所定のトランジスタのチャネル領域と同一の導電型の不純物を含み、前記第 1 の半導体層は前記第 2 の不純物の拡散を抑制する性質を有している。

#### 【0010】

#### 【発明の実施の形態】

#### ＜発明の原理＞

本発明の原理は、B (In) を注入するのはトレンチ側壁のみであることに着目し、STI で素子分離される MOSFET に悪影響を与えないように、B 拡散抑制層をトレンチ側壁のみ選択的に形成し、B 拡散抑制層内に B を注入することにより B の拡散抑制を図った点である。

#### 【0011】

B 拡散抑制層としては SiGe (シリコンゲリマニウム) 層が考えられる。なぜなら、基

礎物性の分野では、SiGe中においては、Ge濃度の上昇に伴い格子間Siタイプの拡散を示す不純物の拡散係数は低下することが報告されている。

## 【0012】

さらに、SiGeをトレンチ側壁に薄く形成すれば、MOSFETの性能に悪影響は与えないことが本願発明者により確認された。

## 【0013】

## ＜実施の形態1＞

図1はこの発明の実施の形態1である半導体装置の構造を示す断面図である。同図に示すように、半導体基板であるシリコン基板1の上層部に形成されたトレンチ10に埋め込まれて分離絶縁膜2が形成される。分離絶縁膜2によりシリコン基板1の上層部がMOSFET形成領域（トランジスタ形成領域）として規定される。

## 【0014】

シリコン基板1のトレンチ10外のシリコン基板1の表面上にゲート酸化膜18が形成され、ゲート酸化膜18上にポリシリコン等により形成されるゲート電極層3が形成される。なお、図1はN型のMOSFETのチャネル領域をチャネル幅方向に切断した断面に相当し、図1の奥行き方向にソース・ドレイン領域が形成されている。

## 【0015】

そして、シリコン基板1におけるトレンチ10の側壁に沿って第1の半導体層であるSiGe層4が薄く形成され、このSiGe層4内（トレンチ10側）に第2の半導体層であるB含有SiGe層5が形成される。したがって、シリコン基板1の上層部におけるSiGe層4及びB含有SiGe層5はMOSFETのチャネル領域の端部領域となる。

## 【0016】

SiGe層4の膜厚はBの拡散を効果的に抑制し、かつトレンチ10によって他の素子から分離形成されるMOSFETの性能に悪影響を与えない膜厚に設定される。例えば、トレンチ10、10（図1ではトレンチ10は1箇所のみ示しているが複数存在する）間が100nmの場合、SiGe層4の膜厚は20nm程度

以下にすることが望まれる。このようにSiGe層4の膜厚を設定すると形成されるMOSFETの性能を与えることはない。

#### 【0017】

SiGe層4（B含有SiGe層5）におけるGe濃度は数(at)%（原子百分率（at：は原子数））オーダーでBの拡散係数を抑制する効果があるため、1%以上のGeを含むことが望ましい。

#### 【0018】

また、B含有SiGe層5中のBの濃度は $4 \times 10^{18} \text{ cm}^{-3}$ を超えない範囲（PN接合部でのバンド間トンネル現象が顕著になりリーク電流の増大が無視できなくなるため）で、チャネルドーパントの局所的補償が可能な程度の濃度に設定することが望ましい。また、B含有SiGe層5の膜厚は、後の酸化工程で分離絶縁膜2側へ吸い出される影響が及ぶ範囲程度以下にすべく、チャネル領域角部付近では数10nm程度以下の厚さで形成することが望ましい。また、SiGe層4の膜厚はB含有SiGe層5の膜厚に対して最適化され、B含有SiGe層5を確実に覆えるように形成することが望ましい。

#### 【0019】

このように、実施の形態1の半導体装置は、B拡散抑制層として機能するSiGe層4内にB含有SiGe層5を形成している。したがって、B含有SiGe層5形成後の熱処理工程においてもBのB含有SiGe層5からの拡散をSiGe層4及びB含有SiGe層5のSiGeによって抑制することができるため、逆狭チャネル効果を抑制できるレベルでBの局所濃度を維持することができる。

#### 【0020】

その結果、実施の形態1の半導体装置は、STIによって分離形成されるMOSFETの性能に悪影響なく逆狭チャネル効果を効果的に抑制することができる効果を奏する。

#### 【0021】

#### <実施の形態2>

図2はこの発明の実施の形態2である半導体装置の構造を示す断面図である。同図に示すように、トレンチ10の側壁には実施の形態1と同様にSiGe層4が

薄く形成され、このSiGe層4内（トレンチ10側）にIn含有SiGe層6が形成される。

#### 【0022】

また、In含有SiGe層6中のInの濃度は $4 \times 10^{18} \text{ cm}^{-3}$ を超えない範囲で、チャンネルドーパントの局所的補償が可能な程度の濃度に設定することが望ましい。また、In含有SiGe層6の膜厚は、後の酸化工程で酸化膜側へ吸い出される影響が及ぶ範囲程度以下にすべく、活性領域コーナー付近では数10nm程度以下の厚さで形成することが望ましい。また、SiGe層4の膜厚はIn含有SiGe層6の膜厚に対して最適化され、In含有SiGe層6を確実に覆えるように形成することが望ましい。

#### 【0023】

また、実施の形態1と同様、シリコン基板1のトレンチ10外のシリコン基板1の表面上にゲート酸化膜18が形成され、ゲート酸化膜18上にゲート電極層3が形成される。

#### 【0024】

このように、実施の形態2の半導体装置は、In拡散抑制層として機能するSiGe層4内にIn含有SiGe層6を形成している。したがって、In含有SiGe層6形成後の熱処理工程においてもInのIn含有SiGe層6からの拡散をSiGe層4及びIn含有SiGe層6のSiGeによって抑制することができるため、実施の形態1と同様、MOSFETの性能に悪影響をなく逆狭チャネル効果を効果的に抑制することができる効果を奏する。

#### 【0025】

また、InはBよりも拡散係数が小さいため、SiGe層4の膜厚を実施の形態1の場合よりも薄く形成することが可能となる効果も奏する。

#### 【0026】

#### <実施の形態3>

図3～図7はこの発明の実施の形態3である半導体装置の製造方法を示す断面図である。なお、実施の形態3の製造方法は実施の形態1の半導体装置を得るための第1の製造方法である。

## 【0027】

まず、図3に示すように、シリコン基板1の表面にマスク層11～13を順次形成し、パターニングした後、マスク層11～13をマスクとして、シリコン基板1の表面からエッチング処理を行うことにより、シリコン基板1の上層部に選択的にトレンチ10を形成する。なお、マスク層11、12及び13として例えば、酸化膜、ポリシリコン層、及び窒化膜の3層積層構造が考えられる。あるいは、酸化膜、窒化膜の2層積層構造としてもよい。

## 【0028】

次に、図4に示すように、マスク層11～13の開口部20からトレンチ10側壁部にGeイオン7を斜め注入し、第1の不純物領域であるGe注入領域14をトレンチ10の側面に沿って形成する。本明細書中においては、Geはシリコン基板1に対する第1の不純物として扱う。

## 【0029】

続いて、図5に示すように、マスク層11～13の開口部20からトレンチ10側壁部にBイオン8を斜め注入し、第2の不純物領域であるB注入領域15を形成する。この際、Ge注入領域14はB注入領域15内に形成されるようにする。BはN型のMOSFETのチャネル領域と同一の導電型の第2の不純物となる。

## 【0030】

その後、酸化雰囲気中で熱処理工程を実行することにより、図6に示すように、SiGe層4及びSiGe層4内に収まるB含有SiGe層5を形成する。この際、トレンチ10の内壁に薄く熱酸化膜17も同時に形成される。この熱酸化膜17の形成によりトレンチ10の上部角部を丸めることができ、MOSFET形成後にゲート電極からの上記上部角部への電界集中を緩和することができる。なお、熱処理工程は窒化雰囲気等、酸化雰囲気以外の環境下で行うことも考えられる。

## 【0031】

そして、図7に示すように、マスク層11～13をマスクとしてトレンチ10内に絶縁膜を埋め込み、CMP処理を施して分離絶縁膜2（熱酸化膜17と一体化）を形成する。この分離絶縁膜2より分離されたシリコン基板1の上層部がM

OSFET形成領域として規定される。

【0032】

その後、マスク層11～13を除去し、MOSFET形成領域に、Pウェル領域（シリコン基板1がP型の場合は省略可能）、ゲート酸化膜18、ゲート電極層3（図1参照）及びソース・ドレイン領域等を形成してMOSFETを既存の方法により形成することにより、図1で示す実施の形態1の構造を得ることができる。なお、実施の形態3の製造方法は、SiGe層4の膜厚、Ge濃度、B含有SiGe層5の膜厚、B濃度等は、実施の形態1で述べた条件を満足するように行われる。

【0033】

このように、実施の形態3の製造方法は、図6で示す熱処理工程によりSiGe層4及びB含有SiGe層5を同時に形成している。したがって、B注入領域15中のBはSiGe内で拡散することになり、その拡散係数は低下するため、図5のBイオン8の注入工程で局所的に導入したBの拡散を効果的に抑制したB含有SiGe層5を有する実施の形態1の半導体装置を得ることができる。

【0034】

さらに、実施の形態3の製造方法において、図4で示すGeイオン7の注入の際にGeを高いドーズ量（Bの拡散係数を抑制するための1%以上の濃度があれば十分）で注入することにより、トレンチ10の側壁部をアモルファス化し、Bイオン8の注入時におけるチャネリング現象を抑制する効果も奏する。

【0035】

また、Geイオン7あるいはBイオン8の注入時に、イオン注入のチルト(tilt)角を制御することにより、マスク層11～13によるシャドウイングによってトレンチ10の底部へのGe及びBの導入の有無を制御可能である。なお、本実施の形態ではトレンチ10の底部へGe及びBの導入の有無はいずれであっても構わない。

【0036】

<実施の形態4>

図8～図12はこの発明の実施の形態4である半導体装置の製造方法を示す断

面図である。なお、実施の形態4の製造方法は実施の形態1の半導体装置を得るための第2の製造方法である。

【0037】

まず、図8に示すように、シリコン基板1の表面にマスク層11～13を順次形成し、パターニングした後、マスク層11～13をマスクとして、シリコン基板1の表面からエッチング処理を行うことにより、シリコン基板1の上層部に選択的にトレンチ10を形成する。

【0038】

次に、図9に示すように、マスク層11～13の開口部20から、シリコン基板1におけるトレンチ10側壁部にGeイオン7を斜め注入しGe注入領域14をトレンチ10の側面に沿って形成する。

【0039】

その後、酸化雰囲気下で熱処理工程を実行することにより、図10に示すように、SiGe層4を形成する。この際、トレンチ10の内壁に薄く熱酸化膜17が同時に形成される。なお、熱処理工程は窒化雰囲気等、酸化雰囲気以外の環境下で行うことも考えられる。

【0040】

続いて、図11に示すように、マスク層11～13の開口部20から、トレンチ10側壁部のSiGe層4の表面内にBイオン8を斜め注入し、SiGe層4内に収まるようにB注入領域15を形成する。

【0041】

その後、図12に示すように、酸化雰囲気下で熱処理工程を実行することによりSiGe層4内のB注入領域15からBを拡散させB含有SiGe層5を形成する。この際、BはSiGe内で拡散係数は低く抑えられた状態で拡散するためSiGe層4内に収まるようにB含有SiGe層5は形成される。なお、熱処理工程は窒化雰囲気等、酸化雰囲気以外の環境下で行うことも考えられる。

【0042】

以降、実施の形態3と同様にして、トレンチ10内に分離絶縁膜2を形成後、既存の方法でMOSFETを形成することにより、図1で示す実施の形態2の半



導体装置を得ることができる。なお、実施の形態4の製造方法は、SiGe層4の膜厚、Ge濃度、B含有SiGe層5の膜厚、B濃度等は、実施の形態1で述べた条件を満足するように行われる。

## 【0043】

このように、実施の形態4の製造方法は、図10及び図12で示す熱処理工程によりSiGe層4及びB含有SiGe層5をそれぞれ独立に形成している。図12で示す工程において、BはSiGe内で拡散することになり、その拡散係数は低下するため、図12のBイオン8の注入工程で局所的に導入したBの拡散を効果的に抑制した実施の形態2の半導体装置を得ることができる。

## 【0044】

加えて、実施の形態4では、SiGe層4とB含有SiGe層5とを別工程で形成しているため、B含有SiGe層5の形成を考慮することなくSiGe層4に適した熱処理によってSiGe層4を形成することができる。

## 【0045】

また、Bイオン8の注入前に、SiGe層4形成用の熱処理が実行されるため、Geイオン7の注入でトレンチ10の側壁部に発生した格子欠陥を、Bイオン8の注入前に完全に回復させておくことができ、Bの拡散への影響を抑制することができる。

## 【0046】

すなわち、実施の形態3の製造方法では、SiGeの結晶化とBの拡散とが同時に起こるため、BがGe注入で発生した格子欠陥によってTED (Transient Enhanced Diffusion: 過度増速拡散) 現象が生じ、Bの拡散抑制に寄与しにくい状態が生じていたが、実施の形態4では、Bの拡散時には上述の通り格子欠陥が回復されているため、上記TED現象を確実に回避することができる。

## 【0047】

また、Geイオン7あるいはBイオン8の注入時に、イオン注入のチルト(tilt)角を制御することにより、マスク層11～13によるシャドウイングによってトレンチ10の底部へのGe及びBの導入の有無を制御することが可能である。なお、本実施の形態ではトレンチ10の底部へGe及びBの導入の有無はいずれ

であっても構わない。

【 0 0 4 8 】

< 実施の形態 5 >

図 1 3 ～ 図 1 6 はこの発明の実施の形態 5 である半導体装置の製造方法を示す断面図である。なお、実施の形態 5 の製造方法は実施の形態 2 の半導体装置を得るための第 1 の製造方法である。

【 0 0 4 9 】

まず、図 1 3 及び図 1 4 に示すように、実施の形態 3 における図 3 及び図 4 で示す工程と同様にして、トレンチ 1 0 及び Ge 注入領域 1 4 を形成する。

【 0 0 5 0 】

続いて、図 1 5 に示すように、マスク層 1 1 ～ 1 3 の開口部 2 0 からトレンチ 1 0 側壁部に In イオン 9 を斜め注入し、第 2 の不純物領域である In 注入領域 1 6 を形成する。この際、Ge 注入領域 1 4 は In 注入領域 1 6 内に形成されるようにする。

【 0 0 5 1 】

その後、熱処理工程を実行することにより、図 1 6 に示すように、SiGe 層 4 及び SiGe 層 4 内に収まる In 含有 SiGe 層 6 を形成する。この際、トレンチ 1 0 の内壁に薄く熱酸化膜 1 7 も同時に形成される。

【 0 0 5 2 】

以降、実施の形態 3 と同様にして、トレンチ 1 0 内に分離絶縁膜 2 を形成後、既存の方法で MOSFET を形成することにより、図 2 で示す実施の形態 2 の半導体装置を得ることができる。なお、実施の形態 5 の製造方法は、SiGe 層 4 の膜厚、Ge 濃度、In 含有 SiGe 層 6 の膜厚、In 濃度等は、実施の形態 2 で述べた条件を満足するように行われる。

【 0 0 5 3 】

このように、実施の形態 5 の製造方法は、図 1 6 で示す熱処理工程により SiGe 層 4 及び In 含有 SiGe 層 6 を同時に形成している。したがって、In 注入領域 1 6 中の In は SiGe 内で拡散することになり、その拡散係数は低下するため、図 1 5 の In イオン 9 の注入工程で局所的に導入した In の拡散を効果的に抑制

したIn含有SiGe層6を有する実施の形態2の半導体装置を得ることができる。

【0054】

さらに、実施の形態5の製造方法において、図14で示すGeイオン7の注入の際にGeを高いドーズ量で注入することにより、トレンチ10の側壁部をアモルファス化し、Inイオン9の注入時におけるチャネリング現象を抑制する効果も奏する。

【0055】

また、Geイオン7あるいはInイオン9の注入時に、イオン注入のチルト角を制御することにより、マスク層11～13によるシャドウイングによってトレンチ10の底部へのGe及びInの導入の有無を制御可能である。なお、本実施の形態ではトレンチ10の底部へGe及びInの導入の有無はいずれであっても構わない。

【0056】

＜実施の形態6＞

図17～図21はこの発明の実施の形態6である半導体装置の製造方法を示す断面図である。なお、実施の形態6の製造方法は実施の形態2の半導体装置を得るための第2の製造方法である。

【0057】

図17～図19に示すように、実施の形態4における図8～図10で示す工程と同様に、トレンチ10、Ge注入領域14（図10で示す工程でSiGe層4となる）、SiGe層4及びゲート酸化膜18を順次形成する。

【0058】

続いて、図20に示すように、マスク層11～13の開口部20から、トレンチ10側壁部のSiGe層4の表面内にInイオン9を斜め注入し、SiGe層4内に収まるようにIn注入領域16を形成する。

【0059】

その後、図21に示すように、熱処理を行うことによりSiGe層4内のIn注入領域16からInを拡散させIn含有SiGe層6を形成する。この際、InはSi

Ge内で拡散係数は低く抑えられた状態で拡散するためSiGe層4内に収まるようにIn含有SiGe層6は形成される。

【0060】

以降、実施の形態3と同様にして、トレンチ10内に分離絶縁膜2を形成後、既存の方法でMOSFETを形成することにより、図2で示す実施の形態2の半導体装置を得ることができる。なお、実施の形態6の製造方法は、SiGe層4の膜厚、Ge濃度、In含有SiGe層6の膜厚、In濃度等は、実施の形態2で述べた条件を満足するように行われる。

【0061】

このように、実施の形態6の製造方法は、図19及び図21で示す熱処理工程によりSiGe層4及びIn含有SiGe層6をそれぞれ独立に形成している。図21で示す工程において、InはSiGe内で拡散することになり、その拡散係数は低下するため、図21のInイオン9の注入工程で局所的に導入したInの拡散を効果的に抑制した実施の形態2の半導体装置を得ることができる。

【0062】

加えて、実施の形態6では、SiGe層4とIn含有SiGe層6とを別工程で形成しているため、SiGe層4に適した熱処理によってSiGe層4を形成することができる。

【0063】

また、Inイオン9の注入前に、SiGe層4形成用の熱処理が実行されるため、Geイオン7の注入でトレンチ10の側壁部に発生した格子欠陥を、Inイオン9の注入前に完全に回復させておくことができ、Inの拡散への影響を抑制することができる。

【0064】

すなわち、実施の形態5の製造方法では、SiGeの結晶化とInの拡散とが同時に起こるため、InがGe注入で発生した格子欠陥によってTED現象が生じ、Inの拡散抑制に寄与しにくい状態が生じていたが、実施の形態6では、Inの拡散時には上述の通り格子欠陥が回復されているため、上記TED現象を確実に回避することができる。

## 【0065】

また、Geイオン7あるいはInイオン9の注入時に、イオン注入のチルト角を制御することにより、マスク層11～13によるシャドウイングによってトレンチ10の底部へのGe及びInの導入の有無を制御することが可能である。なお、本実施の形態ではトレンチ10の底部へGe及びInの導入の有無はいずれであっても構わない。

## 【0066】

## 【発明の効果】

以上説明したように、この発明における請求項1記載の半導体装置は、熱処理に伴う所定の不純物の拡散を抑制する性質を有する第1の半導体層内に所定の不純物を含む第1の半導体層が形成されているため、製造段階において所定の不純物の拡散を効果的に抑えることができ、所定のトランジスタの逆狭チャネル効果を効果的に抑制することができる。

## 【0067】

この発明における請求項4記載の半導体装置の製造方法は、ステップ(b)、(c)の処理により、第1の不純物領域内に第2の不純物領域が形成されている。この状態でステップ(c)の熱処理が実行されるため、第1及び第2の半導体層が同時に形成される。

## 【0068】

したがって、第2の不純物の拡散を抑制する性質を有する第1の半導体層内を第2の不純物が拡散することになるため、第2の不純物の拡散を効果的に抑えることができ、所定のトランジスタの逆狭チャネル効果を効果的に抑制可能な半導体装置を得ることができる。

## 【0069】

この発明における請求項5記載の半導体装置の製造方法は、ステップ(b)～(d)の処理により、第1の半導体層内に第2の不純物領域が形成されている。この状態でステップ(e)の第2の半導体層形成用の熱処理が実行されるため、第2の不純物の拡散を抑制する性質を有する第1の半導体層内を第2の不純物が拡散することになる。

【 0 0 7 0 】

その結果、第 2 の不純物の拡散を効果的に抑えることにより、所定のトランジスタの逆狭チャネル効果を効果的に抑制可能な半導体装置を得ることができる。

【 0 0 7 1 】

さらに、互いに独立したステップ(c)及び(f)の熱処理によって第 1 及び第 2 の半導体層をそれぞれ形成するため、ステップ(c)の実行時において、第 2 の半導体層の形成を考慮することなく第 1 の半導体層に適した熱処理を実行することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である半導体装置の構造を示す断面図である。

【図 2】 この発明の実施の形態 2 である半導体装置の構造を示す断面図である。

【図 3】 この発明の実施の形態 3 である半導体装置の製造方法を示す断面図である。

【図 4】 この発明の実施の形態 3 である半導体装置の製造方法を示す断面図である。

【図 5】 この発明の実施の形態 3 である半導体装置の製造方法を示す断面図である。

【図 6】 この発明の実施の形態 3 である半導体装置の製造方法を示す断面図である。

【図 7】 この発明の実施の形態 3 である半導体装置の製造方法を示す断面図である。

【図 8】 この発明の実施の形態 4 である半導体装置の製造方法を示す断面図である。

【図 9】 この発明の実施の形態 4 である半導体装置の製造方法を示す断面図である。

【図 1 0】 この発明の実施の形態 4 である半導体装置の製造方法を示す断面図である。

【図 1 1】 この発明の実施の形態 4 である半導体装置の製造方法を示す断面図である。

【図 1 2】 この発明の実施の形態 4 である半導体装置の製造方法を示す断面図である。

【図 1 3】 この発明の実施の形態 5 である半導体装置の製造方法を示す断面図である。

【図 1 4】 この発明の実施の形態 5 である半導体装置の製造方法を示す断面図である。

【図 1 5】 この発明の実施の形態 5 である半導体装置の製造方法を示す断面図である。

【図 1 6】 この発明の実施の形態 5 である半導体装置の製造方法を示す断面図である。

【図 1 7】 この発明の実施の形態 6 である半導体装置の製造方法を示す断面図である。

【図 1 8】 この発明の実施の形態 6 である半導体装置の製造方法を示す断面図である。

【図 1 9】 この発明の実施の形態 6 である半導体装置の製造方法を示す断面図である。

【図 2 0】 この発明の実施の形態 6 である半導体装置の製造方法を示す断面図である。

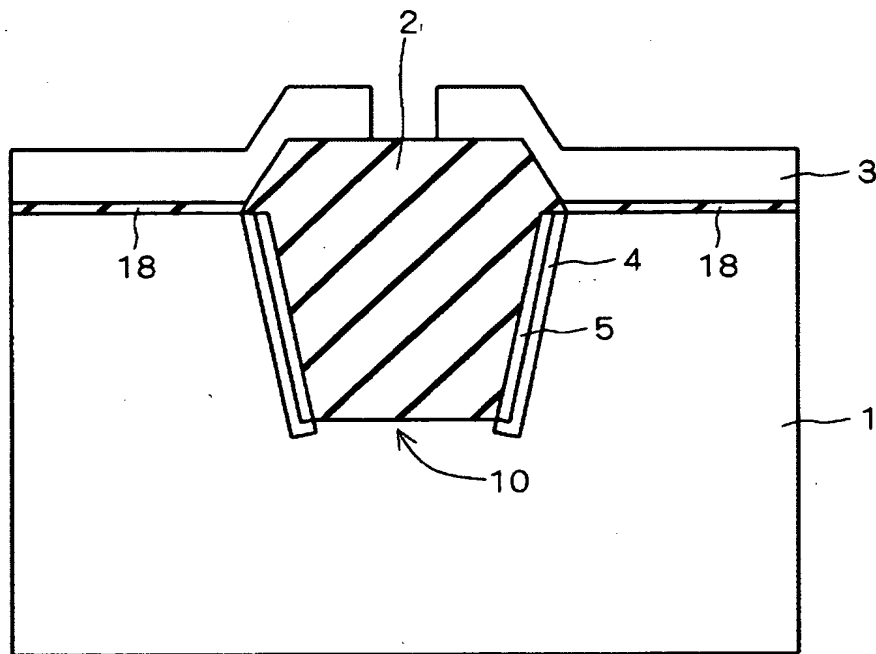
【図 2 1】 この発明の実施の形態 6 である半導体装置の製造方法を示す断面図である。

【符号の説明】

1 シリコン基板、 2 分離絶縁膜、 3 ゲート電極層、 4 SiGe層、 5 B含有SiGe層、 6 In含有SiGe層、 10 トレンチ、 18 ゲート酸化膜

【書類名】 図面

【図 1】

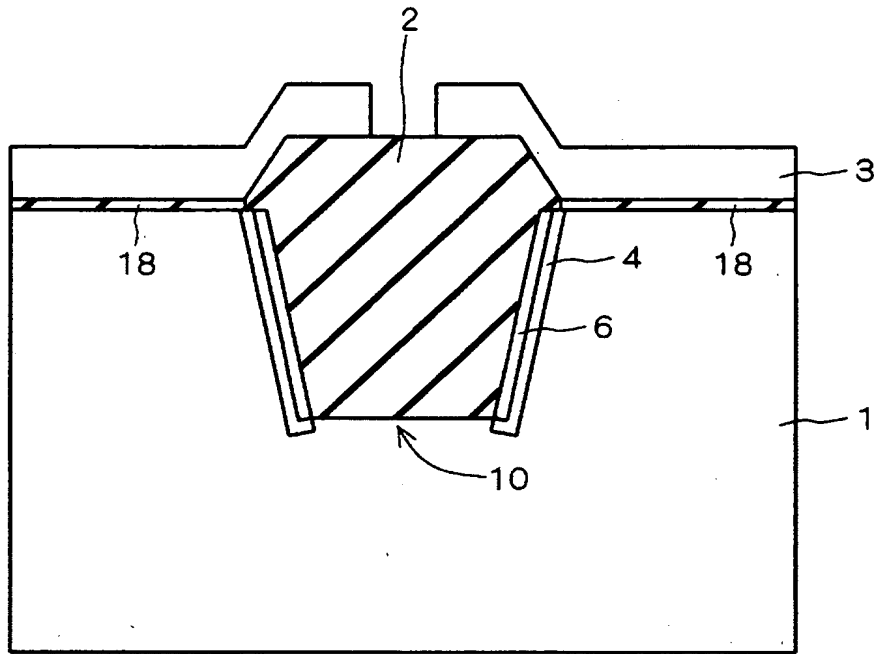


- 1 : シリコン基板
- 2 : 分離絶縁膜
- 3 : ゲート電極
- 4 : SiGe層
- 5 : B含有SiGe層
- 10 : トレンチ
- 18 : ゲート酸化膜

BEST AVAILABLE COPY

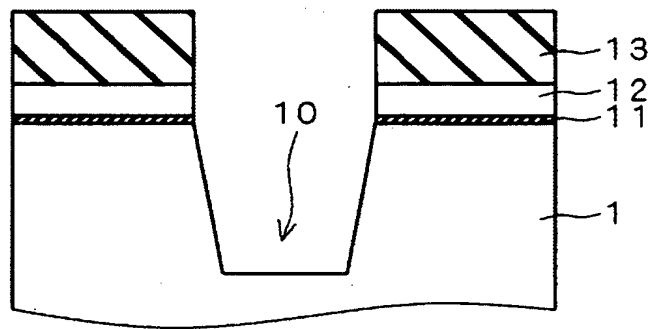


【図 2】

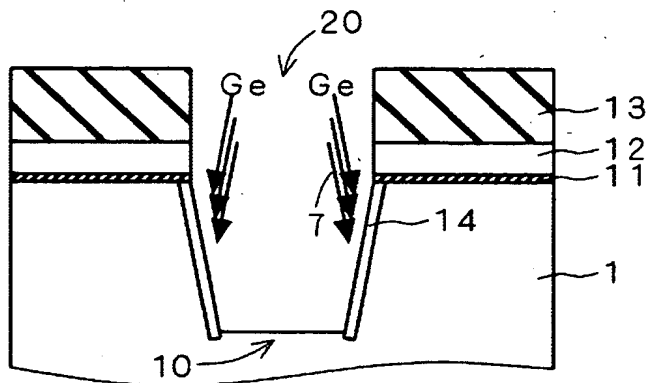


6 : In 含有 SiGe 層

【図 3】

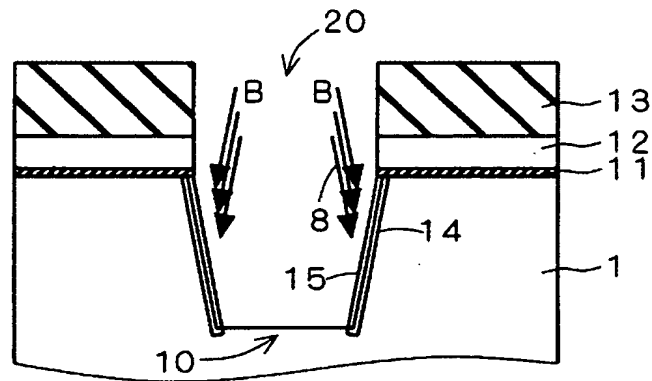


【図 4】

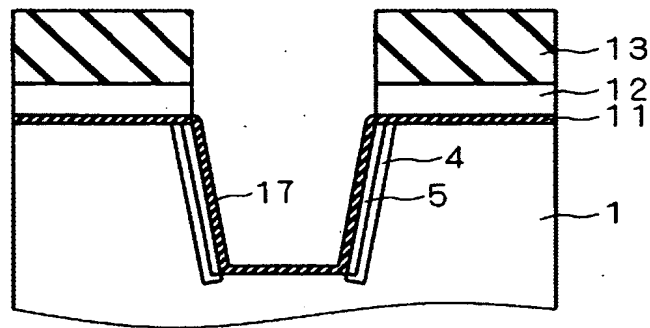


BEST AVAILABLE COPY

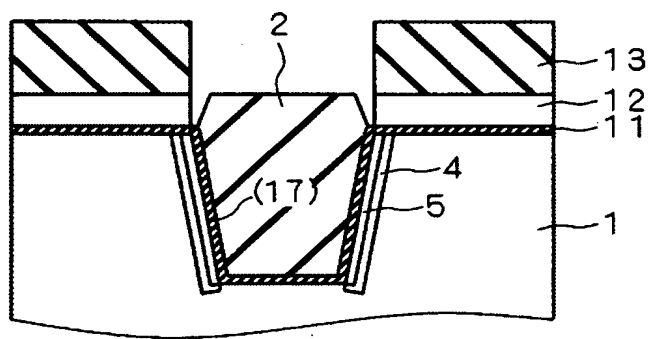
【図 5】



【図 6】

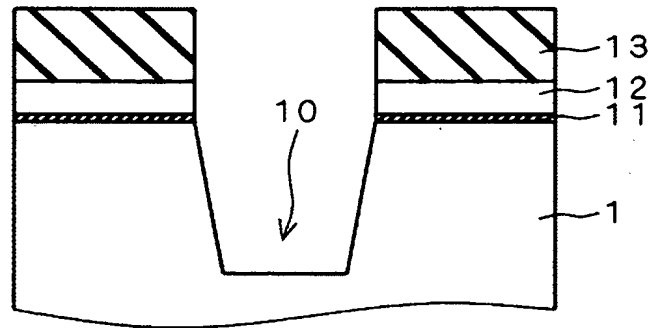


【図 7】

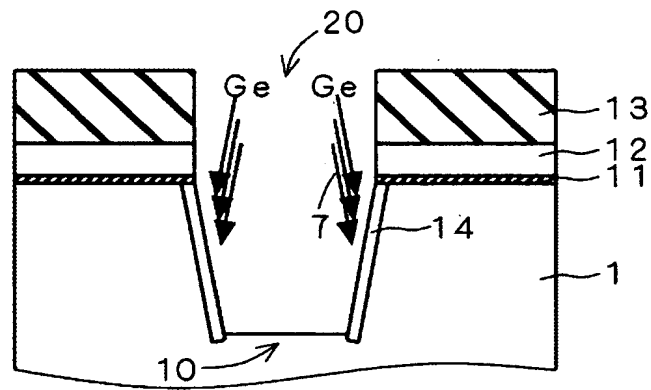


BEST AVAILABLE COPY

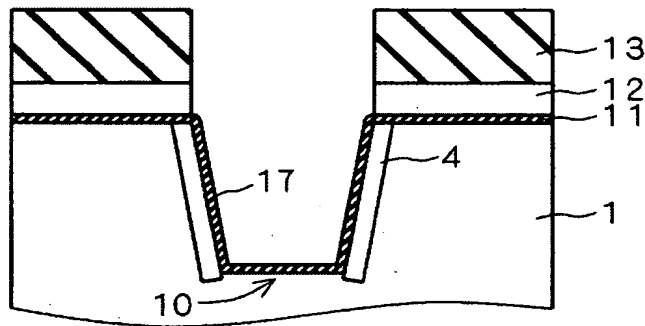
【図 8】



【図 9】

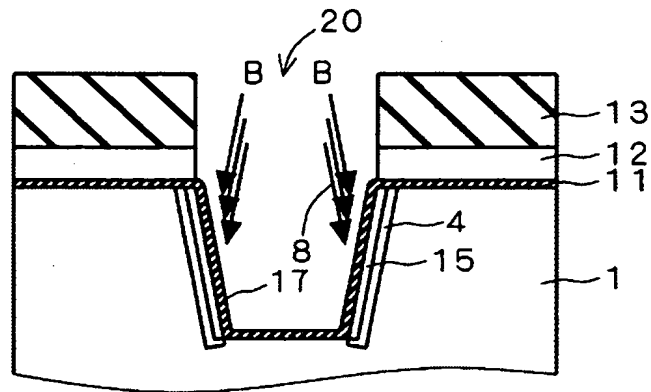


【図 10】

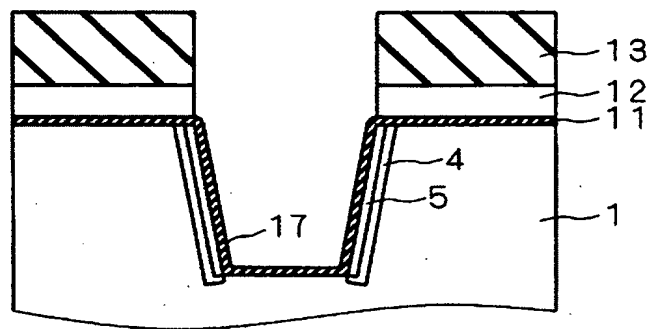


BEST AVAILABLE COPY

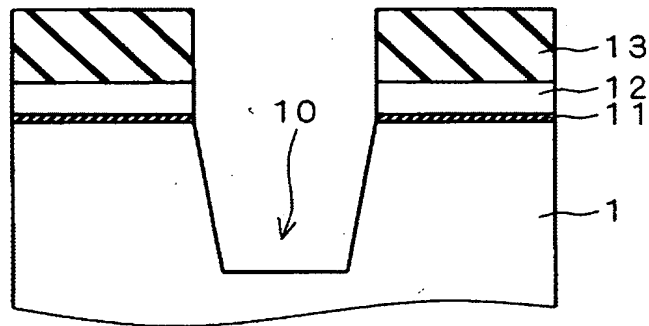
【図 1 1】



【図 1 2】

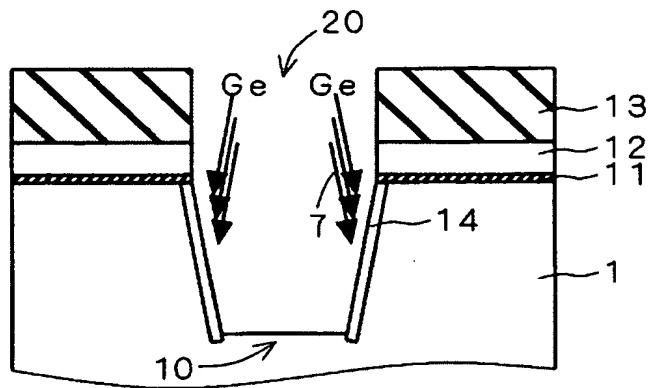


【図 1 3】

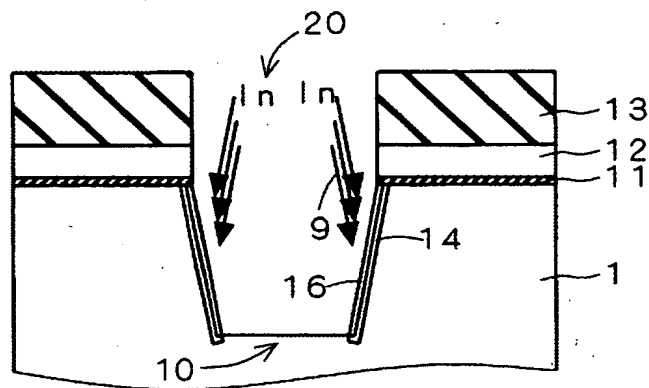


BEST AVAILABLE COPY

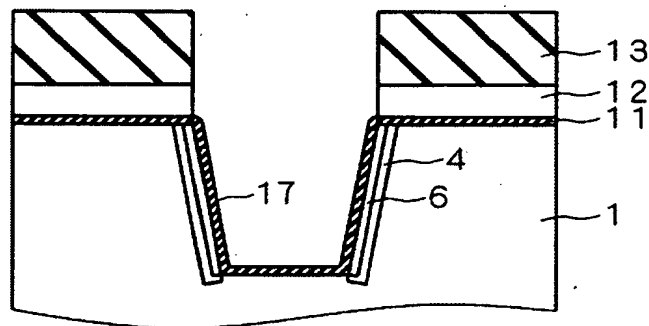
【図 14】



【図 15】

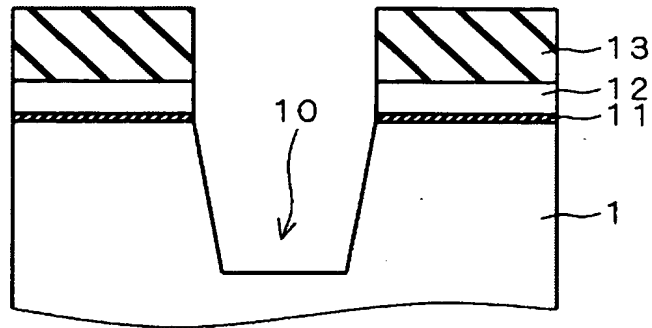


【図 16】

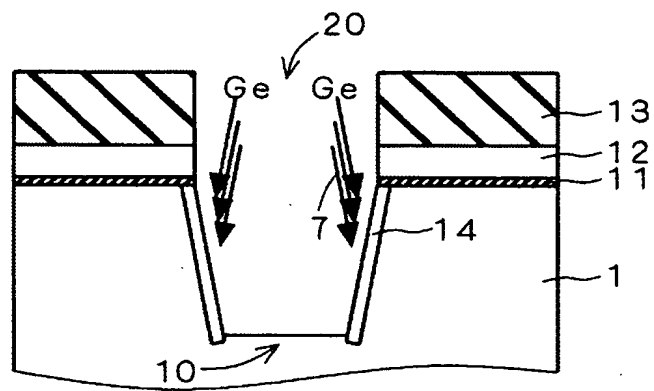


BEST AVAILABLE COPY

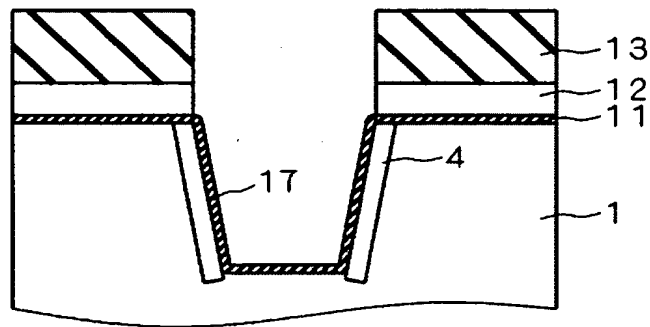
【図 17】



【図 18】

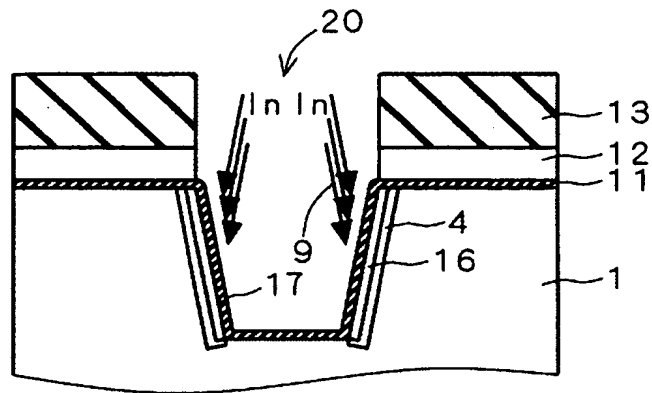


【図 19】

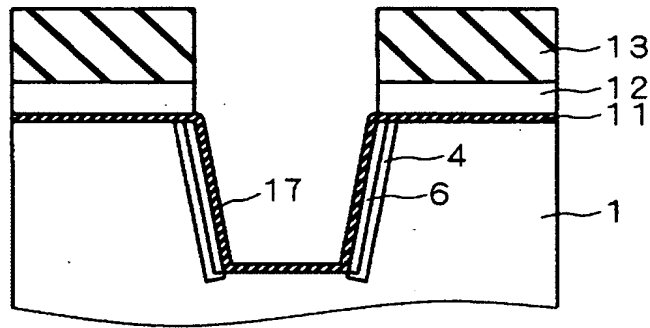


BEST AVAILABLE COPY

【図 20】



【図 21】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 逆狭チャネル効果を効果的に抑制することが可能な S T I 構造の半導体装置及びその製造方法を得る。

【解決手段】 シリコン基板 1 の上層部に形成されたトレンチ 1 0 に埋め込まれて分離絶縁膜 2 が形成され、分離絶縁膜 2 によりシリコン基板 1 の上層部が M O S F E T 形成領域として規定される。シリコン基板 1 におけるトレンチ 1 0 の側壁に沿って S i G e 層 4 が薄く形成され、この S i G e 層 4 内 ( トレンチ 1 0 側 ) に B 含有 S i G e 層 5 が形成される。

【選択図】 図 1

BEST AVAILABLE COPY



出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ